

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

01309464      \*\*Image available\*\*

THIN FILM TRANSISTOR

PUB. NO.:        **59-021064** [JP 59021064 A]

PUBLISHED:      February 02, 1984 (19840202)

INVENTOR(s):    OSHIMA HIROYUKI

                  KODAIRA TOSHIMOTO

                  MANO TOSHIHIKO

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)

                  , JP (Japan)

APPL. NO.:        57-074014 [JP 8274014]

FILED:            April 30, 1982 (19820430)

INTL CLASS:      [3] H01L-029/78; H01L-027/12

JAPIO CLASS:     42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
                  MOS)

JOURNAL:          Section: E, Section No. 244, Vol. 08, No. 103, Pg. 134, May  
                  15, 1984 (19840515)

#### ABSTRACT

PURPOSE: To enable to largely reduce photocurrent by a method wherein the channel region on a thin film transistor is coated by extending a source electrode or a drain electrode.

CONSTITUTION: The channel region of the transistor is coated with the extended source electrode, therefore no light is incident to the channel region. It is desirable that a gap 17 is as narrow as possible for the light incidence from the gap between the above-mentioned source electrode and the drain electrode. The width of the gap is determined by the limitation of patterning technique. On the other hand, the light incident from the gap 17 is mainly contributed to the carrier production in the drain region 11, therefore hardly participated in the generation of photocurrent. It is because normally the impurity density of the drain

region 11 is very high and the lifetime and mobility of carriers generated are small.

?

⑨ 日本国特許庁 (JP)

訂正有り  
⑪ 特許出願公開

## ⑫ 公開特許公報 (A)

昭59-21064

⑤ Int. Cl.<sup>3</sup>  
H 01 L 29/78  
// H 01 L 27/12

識別記号

庁内整理番号  
7377-5F  
8122-5F

⑬ 公開 昭和59年(1984)2月2日

発明の数 1  
審査請求 未請求

(全 5 頁)

## ⑭ 薄膜トランジスタ

⑯ 特 願 昭57-74014

⑰ 出 願 昭57(1982)4月30日

⑱ 発 明 者 大島弘之  
諏訪市大和3丁目3番5号株式  
会社諏訪精工舎内⑲ 発 明 者 小平寿源  
諏訪市大和3丁目3番5号株式

会社諏訪精工舎内

⑳ 発 明 者 真野敏彦

諏訪市大和3丁目3番5号株式  
会社諏訪精工舎内㉑ 出 願 人 株式会社諏訪精工舎  
東京都中央区銀座4丁目3番4  
号

㉒ 代 理 人 弁理士 最上務

## 明 細 書

## 発明の名称

薄膜トランジスタ

## 特許請求の範囲

(1) 半導体薄膜を用い、ソース電極とドレイン電極とゲート電極を備えた薄膜トランジスタにおいて、前記ソース電極あるいは前記ドレイン電極のうち一方を延長することにより、前記薄膜トランジスタのチャネル領域を被覆したことを特徴とする薄膜トランジスタ。

## 発明の詳細な説明

本発明は光電流を低減させる構造を有する半導体薄膜トランジスタに関する。

近年、絶縁基板上に薄膜トランジスタを形成する研究が活発に行なわれている。この技術は、安価な絶縁基板を用いて薄形ディスプレイを実現するアクティブマトリックスパネル、あるいは通常

の半導体集積回路上にトランジスタなどの能動素子を形成する三次元集積回路、あるいは安価で高性能なイメージセンサ、あるいは高密度のメモリなど、数多くの応用が期待されるものである。以下、薄膜トランジスタをアクティブマトリックスパネルに応用した場合を例に取って説明するが、本発明は薄膜トランジスタの光電流が問題となる他の場合にも、全く同様に適用することができる。これは、本発明の主旨が、光電流を減少させるという薄膜トランジスタの本質的な特性向上に関するものだからである。

薄膜トランジスタをアクティブマトリックスパネルに応用した場合の液晶表示装置は、一般に、上側のガラス基板と、下側の薄膜トランジスタ基板と、その間に封入された液晶とから構成されており、前記薄膜トランジスタ基板上にマトリックス状に配置された液晶駆動素子を外部選択回路により選択し、前記液晶駆動素子に接続された液晶駆動電極に電圧を印加することにより、任意の文字、図形、あるいは画像の表示を行なうものであ

(1)

-297-

(2)

る。前記薄膜トランジスタ基板の一般的な回路図を第1図に示す。

第1図(4)は薄膜トランジスタ基板上の液晶駆動素子のマトリックス状配置図である。図中の1で囲まれた領域が表示領域であり、その中に液晶駆動素子2がマトリックス状に配置されている。3は液晶駆動素子2へのデータ信号ラインであり、4は液晶駆動素子2へのタイミング信号ラインである。液晶駆動素子2の回路図を第1図(5)に示す。5は薄膜トランジスタであり、データのスイッチングを行なう。6はコンデンサであり、データ信号の保持用として用いられる。このコンデンサの容量としては、液晶自体の有する容量と故意に設けたコンデンサの容量を含むが、場合によっては液晶の容量のみで構成されることもある。7は液晶パネルであり、7-1は各液晶駆動素子に対応して形成された液晶駆動電極であり、7-2は上層ガラスパネルである。

第2図は半導体薄膜を用いた従来の $\pi$ チャネル薄膜トランジスタの一般的な構造を示す断面図で

(a)

により決定されるため、短時間にデータを完璧に書き込むことができるように、薄膜トランジスタは充分大きい電流を流すことができなくてはならない。この時の電流(以下、 $0\pi$ 電流という。)は、コンデンサの容量と、書き込み時間とから定まり、その $0\pi$ 電流をクリアできるように薄膜トランジスタを製造しなくてはならない。薄膜トランジスタの流すことができる $0\pi$ 電流は、トランジスタのサイズ(チャネル長とチャネル幅)、構造、製造プロセス、ゲート電圧、ドレイン電圧などに大きく依存する。

(a)は、コンデンサに書き込まれたデータの保持特性に関するものである。一般に、書き込まれたデータは書き込み時間よりかはるかに長い時間保持されなくてはならない。コンデンサの容量は、通常 $1\pi\pi$ 程度の小さい値であるため、薄膜トランジスタが $0\pi\pi$ 状態の時にわずかでもリーク電流(以下、 $0\pi\pi$ 電流という。)が流れると、ドレインの電位(すなわち、コンデンサの電位)は急激にソースの電位に近づき、書き込まれたデータ

(b)

ある。8はガラス、石英などの絶縁性透明基板、9は多結晶シリコンなどの半導体薄膜、10は半導体薄膜中にリンやヒ素などの不純物をドーピングして形成したソース領域、11は同じくドレイン領域、12はゲート膜、13はゲート電極、14は層間絶縁膜、15はソース電極、16はドレイン電極である。

このような薄膜トランジスタをアクティブマトリックスパネルに应用する場合、薄膜トランジスタは、液晶に印加する電圧のデータをスイッチングするために用いられ、このとき薄膜トランジスタに要求される特性は大きく次の2種類に分類される。

(i) 薄膜トランジスタを $0\pi$ 状態にした時コンデンサを充電させるために充分な電流を流すことができこと。

(ii) 薄膜トランジスタを $0\pi\pi$ 状態にした時、極力、電流が流れないこと。

(i)は、コンデンサへのデータの書き込み特性に関するものである。液晶の表示はコンデンサの電位

(c)

は正しく保持されなくなってしまう。したがって、 $0\pi\pi$ 電流はできる限り、小さくしなくてはならない。

また、薄膜トランジスタに光を照射すると、光によりキャリアが励起され、半導体薄膜の伝導度が増大する。このため、 $0\pi$ 電流、 $0\pi\pi$ 電流ともに増加する。特に $0\pi\pi$ 電流の増加の割合が著しい。また光を照射することによる電流の増分(光電流)は、その光の照度に比例する。したがって、明るい環境にあるほど、 $0\pi\pi$ 電流が増加し、前記の要求される特性が満たされなくなる。一般に液晶表示装置は明るい環境にあるほどコントラストが向上し良好な表示特性が得られるが、スイッチング素子にこのような薄膜トランジスタを用いる場合には、逆に明るいほど表示性能が低下することになる。

第3図は、第2図に示した構造を有する薄膜トランジスタの特性を示すグラフである。なお、このデータは本出願人が実験を行なって得られた結果である。このグラフの横軸はソースに対するゲ

(d)

## 特開昭59-21064 (3)

ート電圧 $V_{GS}$ であり、縦軸はドレイン電流 $I_{DS}$ である。ソースに対するドレイン電圧 $V_{DS}$ は4Vである。

図中、Aの実線のグラフは光を照射しない時のドレイン電流（暗電流）を示し、Bの破線のグラフは1万ルクスの光を照射した時のドレイン電流を示している。第3図からわかるように、光を照射することにより0V電流はほとんど増加しないが、0.5V電流は大幅に増加している。このため、0.5V/0.5V比がとれなくなり、したがって十分なトランジスタ特性が得られない。

本発明は、このような従来の薄膜トランジスタの欠点を除去するものであり、その目的とするところは、光電流を低減させる構造を有する薄膜トランジスタを提供することである。これを実現するために本発明では、半導体薄膜を用い、ソース電極とドレイン電極とゲート電極を備えた薄膜トランジスタにおいて、前記ソース電極あるいは前記ドレイン電極を延長することにより、前記薄膜トランジスタのチャネル領域を被覆したことを特

(7)

延長することによりチャネル部を被覆する場合について示したが、ドレイン電極を延長することによりチャネル部を被覆してもよい。この場合にも、上述した説明は同様に成立する。

また本発明では、ソース領域10あるいはドレイン領域11のうち一方は、チャネル領域と同様に、電極で被覆されるため、光が入射する領域は、ソース領域あるいはドレイン領域のうちの一方のみとなる。したがって、チャネル領域のみを遮光材で被覆した場合に比べて、さらに光電流を減少せしめることが可能となる。しかも、そのような構造を実現するために、特別な製造工程を必要としない。すなわち、ソース電極あるいはドレイン電極のパターンを変更するだけで、従来の製造工程を何ら変更する必要はない。

第5図は、第4図に示した構造を有する薄膜トランジスタの特性を示すグラフである。このデータも本出願が実験を行ない得られた結果である。種々のパラメータは第3図の場合と同様である。図中、0の実線のグラフは光を照射しない時のド

(8)

微とする薄膜トランジスタを提供する。以下、図を参照しつつ、本発明を詳しく説明する。

第4図は本発明による薄膜トランジスタの構造を示す断面図である。図中8~14の意味する内容は、第2図と全く同様である。第4図からわかるように、トランジスタのチャネル領域は延長されたソース電極により被覆されている。したがってチャネル領域には全く光が入射しない。ただしソース電極とドレイン電極の間隙17からは光が入射するための、この間隙はできる限り狭いほうが望ましい。その間隙の幅はベタニング技術の限界により決定される。しかし、間隙17から入射する光は、主にドレイン領域11におけるキャリア生成に寄与するため、光電流の発生にはほとんど関与しない。これは、通常、ドレイン領域11の不純物濃度が非常に高く、発生したキャリアのライフタイム及び移動度が小さいためである。したがって第4図に示すような構造を採用することにより、光電流の発生を充分小さく抑制することができる。なお、第4図では、ソース電極を

(9)

ドレイン電流（暗電流）を示し、Dの破線のグラフは1万ルクスの光を照射した時のドレイン電流を示している。0のグラフは、第3図のAのグラフに一致する。第5図からわかるように、光電流の発生は非常にわずかであり、1万ルクスの光を照射しても0.5V電流は1P.A程度しか増加しない。この0.5V電流のわずかな増分は、前述したように、主にソース電極とドレイン電極の間隙から入射した光の効果によるものである。なお、ドレイン電極を延長することによりチャネル部を被覆する構造の薄膜トランジスタでも、全く同様の結果が得られる。

以上、述べたように、本発明は光電流を大幅に低減せしめるという優れた効果を有する薄膜トランジスタを提供するものである。

## 図面の簡単な説明

第1図(a)(b)は薄膜トランジスタをアクティブマトリックスパネルに応用した場合の一般的な回路図である。

(10)

第2図は半導体薄膜を用いたリチャネル薄膜トランジスタの一般的な構造を示す断面図である。

第3図は従来の薄膜トランジスタの特性を示すグラフである。

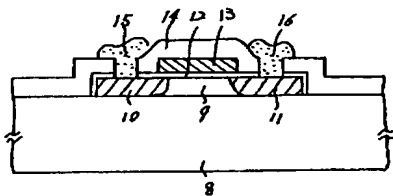
第4図は、本発明による薄膜トランジスタの構造を示す断面図である。

第5図は、本発明による薄膜トランジスタの特性を示すグラフである。

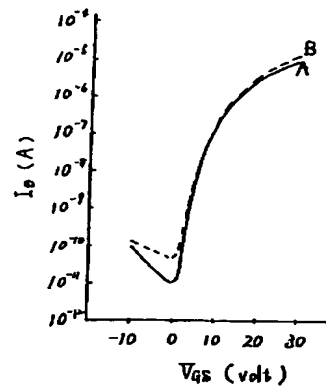
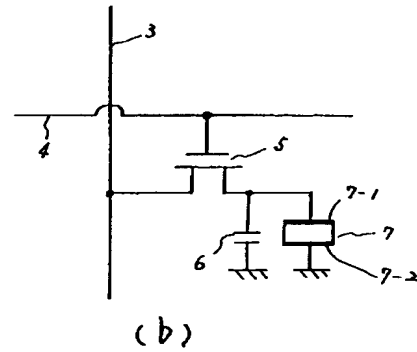
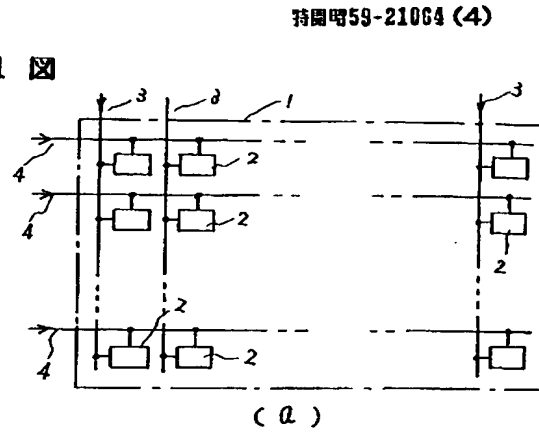
以 上

出願人 株式会社 融紡精工舎  
代理人 弁理士 最上 務

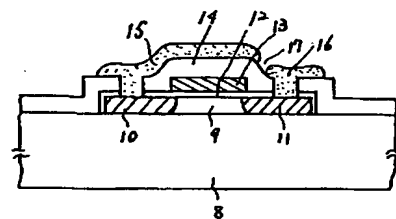
09



第 2 図



第 3 図

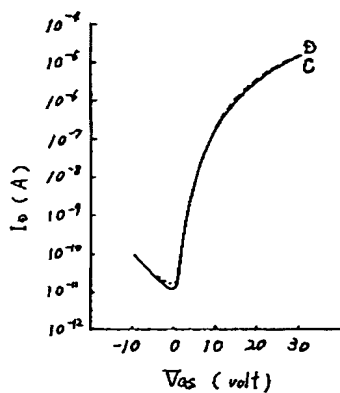


第 4 図

(7)

特開昭59-21064

特開昭59-21064 (5)



第 5 図

1-2023

## 特許法第17条の2の規定による補正の掲載

昭和 57 年特許願第 74014 号(特開昭  
59-21064 号, 昭和 59 年 2 月 2 日  
発行 公開特許公報 59-211 号掲載)につ  
いては特許法第17条の2の規定による補正があっ  
たので下記のとおり掲載する。 7 (2)

Int. Cl. 4	識別記号	庁内整理番号
H01L 29/78		8422-5F
// H01L 27/12		7514-5F

## 手続補正書 (自発)

平成元年4月24日

特許庁長官 吉田 文毅 殿

1. 事件の表示  
昭和 57 年 特 許 願 第 74014 号
2. 発明の名称  
液晶表示装置

3. 補正する者  
事件との関係 出願人  
東京都新宿区西新宿2丁目4番1号  
(236) セイコーエプソン株式会社  
代表取締役 中 村 恒 也

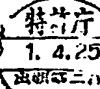
4. 代 理 人  
〒163 東京都新宿区西新宿2丁目4番1号  
セイコーエプソン株式会社内  
弁護士(9338) 鈴 木 喜 三 郎 (他1名)  
電話 03-348-8531 内線 300~302

5. 補正により増加する発明の数  
0

6. 補正の対象  
明細書(発明の名称、特許請求の範囲、発明の詳細な説明)

7. 補正の内容  
別紙の通り

昭和60年11月14日名称及び住所変更(一) 1.4.25



## 手 続 補 正 書

1. 発明の名称を以下の如く補正する。  
「液晶表示装置」
2. 特許請求の範囲を別紙の如く補正する。
3. 明細書中、第10頁第15行目「ある。」を  
以下の如く補正する。  
「ある。」

上述の如く本発明は、一対の基板内に液晶が封入され、該基板の一方の基板上に設けられた画素電極、該画素電極に接続され、該基板上に設けられてなる薄膜トランジスタ、該薄膜トランジスタのゲート電極に接続されてなる走査信号線、該薄膜トランジスタのソース電極に接続されてなるデータ信号線を有する液晶表示装置において、該薄膜トランジスタのチャンネル領域は、該ソース電極配線を延長した延長配線により被覆されてなるようにしたから、液晶パネルに入射した光によって薄膜トランジスタの誤動作が生じることがないので、良好な表示特性を得ることができる。」

## 特許請求の範囲

一対の基板内に液晶が封入され、該基板の一方の基板上に設けられた画素電極、該画素電極に接続され、該基板上に設けられてなる薄膜トランジスタ、該薄膜トランジスタのゲート電極に接続されてなる走査信号線、該薄膜トランジスタのソース電極に接続されてなるデータ信号線を有する液晶表示装置において、該薄膜トランジスタのチャンネル領域は、該ソース電極配線を延長した延長配線により被覆されてなることを特徴とする液晶表示装置。